

EV085414354

Abstract

Method of forming tungsten polyside gate electrode having barrier layer, consisting of a step to deposit a barrier metal on a polycrystal silicon, and a step to deposit a tungsten silicide using SiH_2Cl_2 , is disclosed.

The instant invention could suppress or restrain to a great extent the loss of silicon caused by the reaction of WF_6 and polycrystal silicon as the method deposits the barrier layer on the bottom of tungsten silicide using WF_6 and NH_3 . This is because the deposition of tungsten nitride membrane may be processed without the wormhole creation since the instant invention method could deposit the barrier layer in the plasma state (or in the form of plasma) at a low temperature. Therefore there is a further advantage where the wormhole creation may be suppressed at the initial deposition due to the barrier characteristics of the tungsten nitride membrane when the subsequent deposition of SiH_2Cl_2 -based tungsten silicide is processed at a high temperature.

Brief Description of the Drawings

Figure 3A through 3C are sectional views depicting the method of forming tungsten polyside gate electrode according to the invention.

Claims

1. Method of forming tungsten polyside gate electrode having barrier layer, comprising the steps of:

forming a conductive polycrystalline silicon layer on a silicon substrate after the deposition of an oxidation membrane;

depositing tungsten silicide on the said conductive polycrystalline silicon layer, and then covering a sensitizer thereon;

forming a sensitizer membrane by patterning the sensitizer covering with a photosensitive process;

forming a tungsten silicide pattern, a metal barrier pattern, and a polycrystalline silicon pattern by eroding away the said tungsten silicide layer, metal barrier, and polycrystalline silicon layer in a sequential manner using the said sensitizer membrane as a mask; and removing the said sensitizer membrane.
2. The method of forming tungsten polyside gate electrode having barrier layer of claim 1, wherein the metal barrier layer forming comprises depositing the tungsten nitride, and TiN membrane at the bottom of the tungsten silicide.

3. The method of forming tungsten polyside gate electrode having barrier layer of claim 2, wherein the tungsten nitride depositing uses PECVD, CVD, and sputtering processes.
4. The method of forming tungsten polyside gate electrode having barrier layer of claim 2, wherein the said TiN depositing uses CVD, and sputtering processes.
5. The method of forming tungsten polyside gate electrode having barrier layer of claim 2, wherein the said barrier membrane deposition thickness is from 20A up to 200A.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특 1997-0018661
H01L 29/43 (43) 공개일자 1997년 04월 30일

(21) 출원번호 특 1995-0031107
(22) 출원일자 1995년 09월 21일
(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 배대록
경기도 용인군 기흥읍 고매리 세원아파트 101-1411
박병률
서울특별시 마포구 도화동 현대아파트 108동 703호

상세청구 : 없음

(54) 장벽층을 갖는 텅스텐 폴리사이드 게이트 전극 형성 방법

요약

본 발명은 장벽층(Barrier Layer)을 이용한 텅스텐 실리사이드 증착방법에 관한 것으로서, 다결정 실리콘상에 장벽 금속(barrier metal)을 증착하는 단계; 및 SiH_4Cl_2 를 이용하여 텅스텐 실리사이드를 증착하는 단계를 포함함을 특징으로 한다.

본 발명에 의한 텅스텐 장벽층을 갖는 텅스텐 폴리사이드 게이트전극 형성방법은 텅스텐 실리사이드 하부에 장벽층(barrier layer)증착시 WF_6 와 NH_3 를 이용하여 증착을 하기 때문에 WF_6 와 다결정실리콘과의 반응에 의한 실리콘 소모를 크게 억제시킬 수 있다. 이는 장벽층을 플라즈마(plasma)상태로 증착을 하고 저온 공정이 가능하기 때문에 장벽층(barrier layer) 증착과정에서 얼홀(wormhole)의 생성 없이 텅스텐 질화막을 증착할 수 있기 때문이다. 따라서 후속 공정인 고온 공정인 SiH_4Cl_2 -기반 텅스텐 실리사이드 증착시 텅스텐 질화막의 장벽(barrier) 특성 때문에 초기 증착에서의 얼홀(wormhole)의 발생을 억제하는 장점을 가지고 있다.

도면

도 3

영세서

[발명의 명칭]

장벽층을 갖는 텅스텐 폴리사이드 게이트 전극 형성 방법

[도면의 간단한 설명]

제3A도 내지 제3C도는 본 발명의 텅스텐 폴리사이드 게이트 전극 형성방법을 설명하기 위해 도시한 단면도들이다.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음.

(57) 청구의 범위

청구항 1. 반도체 기판상의 장벽층을 갖는 게이트 전극을 형성하는 방법에 있어서, 실리콘 기판상에 게이트 산화막을 증착한 후 전도성을 갖는 도핑된 다결정실리콘층을 형성하는 단계; 상기 다결정실리콘층 상에 금속장벽층을 증착하는 단계; 텅스텐 실리사이드를 화학기상증착법으로 증착하고, 감광제를 도포하는 단계; 상기 감광막을 사진 공정으로 패턴화하여 감광막 패턴을 형성하는 단계; 상기 감광막 패턴을 마스크로 사용하여 상기 텅스텐 실리사이드층과 금속장벽층 및 상기 다결정실리콘층을 연속적으로 식각하여 텅스텐 실리사이드 패턴, 금속장벽 패턴 및 다결정실리콘 패턴을 형성하는 단계; 및 상기 감광막 패턴을 제거하는 단계를 포함함을 특징으로 하는 장벽층을 갖는 텅스텐 폴리사이드 게이트전극 형성방법

청구항 2. 제1항에 있어서, 상기 장벽금속층을 형성하는 단계는 텅스텐 실리사이드 하부에 텅스텐 질화물, TiN 막을 증착하는 단계로 이루어짐을 특징으로 하는 장벽층을 갖는 텅스텐 폴리사이드 게이트전극 형성방법

청구항 3. 제2항에 있어서, 상기 텅스텐 질화물을 증착하는 단계는 PECVD와 CVD 및 스퍼터링(sputtering) 방법을 이용함을 특징으로 하는 장벽층을 갖는 텅스텐 폴리사이드 게이트전극 형성방법

성방법

청구항 4. 제2항에 있어서, 상기 TiN막을 증착하는 단계는 CVD, 스퍼터링(sputtering)을 이용하여 증착함을 특징으로 하는 장벽층을 갖는 텅스텐 폴리사이드 게이트전극 형성방법

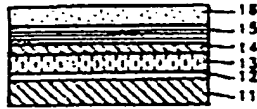
청구항 5. 제2항에 있어서, 상기 장벽 막의 증착 두께는 20Å 내지 200Å임을 특징으로 하는 장벽층을 갖는 텅스텐 폴리사이드 게이트전극 형성방법

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

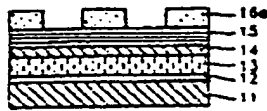
도면

도면3

도 3A 도



도 3B 도



도 3C 도

